

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: 10056064 A

(43) Date of publication of application: 24.02.98

(51) Int. Cl.

H01L 21/768

H01L 21/316

H01L 21/3205

(21) Application number: 09142120

(22) Date of filing: 30.05.97

(30) Priority: 31.05.96 US 96 18737

(71) Applicant: TEXAS INSTR INC &lt;TI&gt;

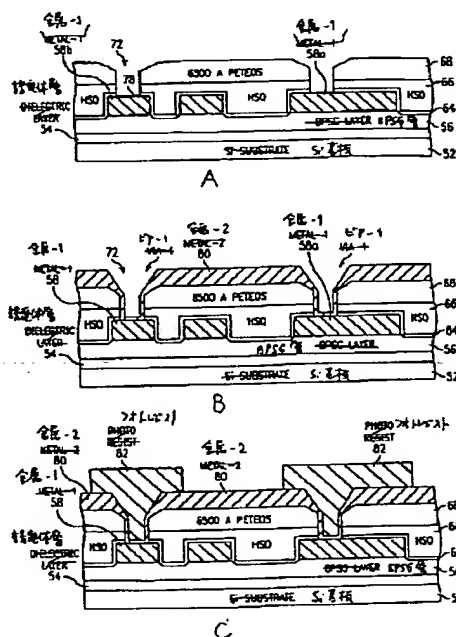
(72) Inventor: MARSDEN MARY H  
ATNIP EARL V  
KROCAK PAVEL(54) FORMING METHOD OF INTERMETALLIC  
INSULATING LAYER

## (57) Abstract:

**PROBLEM TO BE SOLVED:** To prevent the via poisoning phenomenon from occurring in a flattening process of an intermetallic dielectric body in a semiconductor device having a surface shape of sub-micron size.

**SOLUTION:** Size are subjected to a gap an intermetallic dielectric body flattening process of sub-micron size for a via 72 and interconnections 58 and 80 and the like employs spin on glass(SOG) process of conformal plasma enhanced tetraethyloxysilane(PETEOS) 68 and hydrogen sil-sesquioxane(HSQ) 66. A baking process is carried out in an oven before metal is deposited, whereby via poisoning can be prevented. Therefore, an intermetallic insulating layer forming method of this constitution is suitable for applications to a sub-micron CMOS and a BiCMOS process and other processes employing at least a double metallic layer related to the manufacture of digital signal processors, memories, logic circuits, and integrated circuits for specific uses.

COPYRIGHT: (C)1998,JPO



JAPANESE PATENT APPLICATION LAID-OPEN NO. 10-56064

(Partial Translation)

[Claim for Patent]

[Claim 1] A method of forming a flat intermetallic dielectric layer to cover an interconnection pattern on a wafer, comprising:

providing a substrate having an electrical interconnection pattern thereon;

forming a first dielectric layer to cover said interconnection pattern;

forming a second dielectric layer containing silicon, from a composition containing inorganic silicon, different from said first dielectric layer, to cover said first dielectric layer;

forming a third dielectric layer different from said second dielectric layer to cover said second dielectric layer;

etching at least one via in said first dielectric layer;

heating said wafer to a temperature between about 350°C and 400°C; and

depositing metal in said at least one via to cover said first dielectric layer.

[Detailed Description of the Invention]

[0001]

[Technical Field that the Invention Belongs to]

The present invention relates to a process for forming

a flat intermetallic dielectric layer for an opening of submicron size, more specifically, to a process for forming such an opening, characterized by suppressing generation of poisonous character.

(omission)

[0004]

[Problem that the Invention Is to Solve] For a minute multilevel interconnection circuit, both inorganic and organic layers deposited by a spin-on-glass (SOG) process came to be widely used. The deposited dielectric layer is generally exposed to an etch-back process for further flattening the surface. But, this process of etching back a layer adds one process to the deposition process of each layer, and, as a result, increases in cost, and may decrease the yield of products. Inorganic SOG can be flattened by heating and avoid the above etch-back process, but there arises another problem of process direction to intend to make a compromise with the object of ILD flattening. For example, if an ILD layer is exposed to  $O_2$  plasma on photoresist removal used attendant upon via formation,  $H_2O$  harmful to a related metal layer may be absorbed in the layer.

[0005] Further, if organic SOG is exposed in a via, SOG contains moisture and other matters outgassed, and they cause a high resistance produced in a via when

a conductive metal is sputtered in the via. This problem is known as "via poisoning", and arises in case of using spin-on-glass based on methyl siloxane for gap-filling and flattening of an integrated circuit with multilevel metallic interconnection. The quality of a tungsten deposition deposited in a via in which such organic SOG is exposed on a via side wall, by vapor deposition process (CVD), is severely controlled, and often brings about an incompletely filled via, a high-resistance via, or a metal growth (hillock) from the upper portion of the via to make a short circuit with another metal line. It is supposed that the organic part of organic SOG takes some inverse reaction on the tungsten source material. Discussion on obstacles other than this encountered in case of depositing an insulating semiconductor interlayer, will be found in the specification of US Patent No. 5,413,963 dated May 6, 1995, quoted here for reference.

[0006] One ordinary solution to the problem on via poisoning is to perform partial plasma-etch-back to SOG and leave SOG only between metal leads and along the sides. In this solution, it is required to deposit semiorganic glass to cover the whole surface of a wafer, and be etched back in a plasma etcher. This process is very slow and very "dirty", and leaves many particles that may be obstacles in the following wafer processing steps, on the wafer, and besides, not uniform. In other methods, there is one using a thinner SOG coating,

that is a method of, e.g., displacing the via to a thinner portion of the SOG layer, or using together careful cure, etch, via baking, and a metal deposition process, but the degree of success is not sure.

[0007] Judgement standards of ILD structure are defect level, complexity of process, electrical characteristics, and ability of flattening, in general. All the above categories are fields in which fluid oxide is expected to be hopeful. The fluid nature of fluid oxide material is attractive on the point that it can simplify the ILD process, and display gap-filling and flattening performances without exception. An ILD process based on fluid oxide in combination with 0.7 micron technique proved superior flattening in comparison with at least either of plasma-enhanced tetraethyloxysilane (PETEOS) oxide deposition and etch process. But, greatness of wet etch speed of HSQ makes via etching complex, and desirable via side slope of champagne grass shape can not be formed only by wet etch process. Another process is required instead of it, it is connected to increase in expenses, complexity, and time attendant upon device manufacturing.

[0008]

[Means for Solving the Problem] Provided is a process for executing intermetallic dielectric body (ILD) flattening using hydrogensilsesquioxane (HSQ) spin-on-glass (SOG) and conformal plasma-enhanced tetraethyloxysilane (PETEOS) to a gap of submicron size,

such as a via having an interconnection of sputter metal and the interconnection. The present invention is suitable for processes in relation to manufacturing integrated circuits for specific applications as the matter of course, digital signal processors, memory devices, and logic circuits, and additionally, employing in submicron CMOS and BiCMOS processes using double metallic layers at the lowest. The via poisoning phenomenon that hitherto arose in case of forming an interlevel connection such as a via or a similar structure could be reduced by modifying the process after the interlevel connection or via etch cleansing process, and completely removing water molecules, an organic cleansing solvent such as isopropyl alcohol, and an complex formed between HSQ residues in an interlevel connection channel.

(The rest is omitted.)

特開平10-56064

(43)公開日 平成10年(1998) 2月24日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/768		H 0 1 L 21/90	P
	21/316		21/316	X
	21/3205		21/88	K

審査請求 未請求 請求項の数1 O L (全 18 頁)

(21)出願番号 特願平9-142120

(22)出願日 平成9年(1997) 5月30日

(31)優先権主張番号 0 1 8 7 3 7

(32)優先日 1996年 5月31日

(33)優先権主張国 米国 (U S)

(71)出願人 590000879

テキサス インスツルメンツ インコーポ  
レイテッドアメリカ合衆国テキサス州ダラス, ノース  
セントラルエクスプレスウェイ 13500

(72)発明者 メアリー エイチ. マースデン

アメリカ合衆国テキサス州オースチン, ス  
パイスウッド スプリングス ロード  
4711, ナンバー 241

(72)発明者 アル ブイ. アトニップ

アメリカ合衆国テキサス州プラノ, セイル  
メイカー レーン 3701

(74)代理人 弁理士 浅村 皓 (外3名)

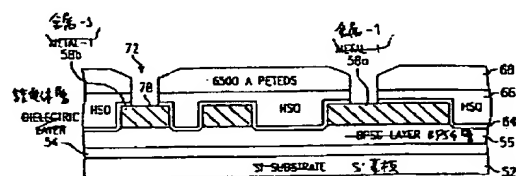
最終頁に続く

## (54)【発明の名称】 金属間絶縁層形成法

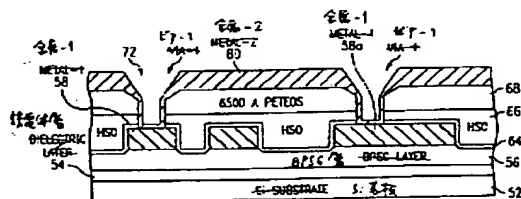
## (57)【要約】

【課題】 サブミクロン寸法の表面形状を有する半導体デバイスの金属間誘電体平坦化工程におけるビアポイズニング現象を防止する。

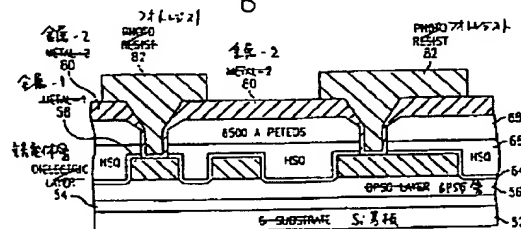
【解決手段】 ビア72および相互接続58, 80等のサブミクロン寸法のギャップ用の金属間誘電体平坦化プロセスは、コンフォーマルなプラズマ促進テトラエチルオキシシラン (PETEOS) 68および水素シルセスキオキサン (HSQ) 66スピンオングラス (SOG) を用いる。金属堆積の前に、炉中でのベーキングを採用することによってビアポイズニングが防止される。本発明は、デジタル信号プロセッサ、メモリ、論理回路、特定用途向け集積回路の製造に関連するようなサブミクロンCMOSおよびBi CMOSプロセスおよび最低でも二重の金属層を採用したその他のプロセスで使用するのに特に適している。



A



B



C

## 【特許請求の範囲】

【請求項1】 ウエハ上の相互接続パターンを覆って、平坦な金属間誘電体層を形成する方法であって、基板を設けてその上に電氣的相互接続パターンを有し、前記相互接続パターンを覆って第1の誘電体層を形成し、  
前記第1の誘電体層を覆って前記第1の誘電体層とは異なり、無機のシリコンを含む組成から、シリコンを含む第2の誘電体層を形成し、  
前記第2の誘電体層を覆って前記第2の誘電体層とは異なる第3の誘電体層を形成し、  
前記第1の誘電体層中に少なくとも1個のビアをエッチングし、  
前記ウエハを約350℃ないし400℃の間の温度に加熱し、  
前記第1の誘電体層を覆って前記少なくとも1個のビア中に金属を堆積すること、を備えた平坦な金属間誘電体層を形成する方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、サブミクロン寸法の開口部のための平坦な金属間誘電体層を形成するためのプロセスに関するものであって、更に詳細には、毒性の発生を抑制することの特徴とする、そのような開口部形成のためのプロセスに関する。

## 【0002】

【従来の技術】半導体回路の形状が0.5ミクロン以下に縮小するにつれて、半導体中に相互接続パターン用のレベル間誘電体（ILD）膜に対する需要が急速に高まってきた。将来期待されるILD膜というのは、現在使用されているILD膜に要求されるものよりも、より大きなアスペクト比のギャップを充填し、より低い誘電率を提供することが求められよう。膜の誘電率を低くすることは、いずれも現在電氣的な分離のために使用されている酸化物で処理された回路の動作速度を低下させる、レベル間容量およびレベル内容量の両方の低下につながるから好ましいことである。良く知られているように、この速度低下の効果は回路の複雑さが増すにつれてますます厳しくなっている。

【0003】更に、集積回路デバイスの回路がより複雑になり、より高密度になるにつれて、金属層の数もまた増大するはずである。金属層数のこの増大に伴って、各々の引き続く層の表面平坦性は、下層の金属ストライプや支持層の輪郭に追従する付随した層間膜のために非平坦度を増してゆくことになる。各々の引き続く層に従って、表面輪郭の不規則性に寄与する金属層の数はより増大していく。従って、2層あるいはそれ以上のレベルが存在すれば、厳しい非平坦表面トポロジーの問題が生ずる可能性があり、金属のステップカバレッジおよびマイクロリソグラフィ描画プロセスの欠陥の結果として、

厳しい信頼性の問題に直面するかもしれない。

## 【0004】

【発明の解決しようとする課題】微細化した多重レベル相互接続回路用として、スピンオンガラス（SOG）法によって堆積した無機および有機の両層が広く用いられるようになってきた。堆積した誘電体層は、表面を更に平坦化するエッチバックプロセスに曝されるのが普通であった。しかし、層をエッチバックにするこの工程は、各層の堆積プロセスに1つの工程を追加することになり、そのため、コストも上がり、製品の歩留まりを低下させる可能性もある。無機のSOGは加熱することによって平坦化が可能であり、上述のエッチバック工程を回避できるものの、ILD平坦化の目的と妥協を図るべきプロセス指向の別の問題が発生する。例えば、ILD層を、ビア形成に付随して使用されるフォトリソ除去に関してO<sub>2</sub>プラズマに曝さすと、関連する金属層に対して有害なH<sub>2</sub>Oが層中に吸収される可能性がある。

【0005】更に、有機SOGをビアの中で露出させると、SOGはアウトガスしてきた湿気やその他の物質を含んでおり、それらが、ビア中へ導電性金属をスパッタした時にビア中に生ずる高抵抗の原因となる。この問題は”ビアポイズニング（via poisoning）”として知られており、多重レベルの金属相互接続を備えた集積回路のギャップ充填および平坦化のためにメチルシロキサンをベースとするスピンオンガラスを使用する場合に発生する。そのような有機SOGがビア側壁で露出されたビア中へ気相堆積法（CVD）で堆積されるタングステン堆積物の品質は厳しく抑制され、不完全に充填されたビア、高抵抗ビア、あるいは他の金属ラインとの間で短絡回路を形成するようなビア上部からの金属成長（ヒロック）をしばしばもたらす。有機SOGの有機部分がタングステンソース材料と何らかの逆方向の反応を起こすものと考えられている。絶縁性の半導体層間膜を堆積させる場合に会合これ以外の障害についての議論は、ここに参考のために引用する1995年5月6日付けの米国特許第5,413,963号の明細書の中に見出すことができよう。

【0006】ビアポイズニングの問題に対する1つの普通の解決法は、SOGに対して部分的プラズマエッチバックを行って、金属リード間および側辺に沿ってのみSOGを残すようにすることである。この解決法では、半有機性のガラスをウエハ全面を覆って堆積させ、プラズマエッチャーの中でエッチバックすることが必要になる。この手順は非常にゆっくりしたもので、非常に”汚く”、それ以降のウエハ処理工程の障害となる可能性のある多くの粒子をウエハ上に残すものであり、また均一でもない。その他の方法には、より薄いSOG被覆を使用するものがあり、それは例えばSOG層がより薄い場所へビアを移動させたり、あるいは注意深いキュア、エッチ、ビアベーク、および金属堆積工程を併用した



りする方法であるが、成功の程度は確かなものではない。

【0007】ILD構造の判断基準は一般に、欠陥レベル、プロセスの複雑さ、電気的な特性、および平坦化能力である。以上のカテゴリーはすべて流動的酸化物が有望であると見込まれる分野である。流動性酸化物材料の流動的な性質は、それがILDプロセスを簡略化することができ、また例外のないギャップ充填および平坦化性能を発揮できる点で魅力的である。0.7ミクロン技術と組み合わされた流動的酸化物をベースとするILDプロセスは、少なくともプラズマ促進テトラエチルオキシシラン(PETEOS)酸化物堆積およびエッチプロセスのいずれかと比較して優れた平坦化を実証した。しかし、HSQの湿式エッチ速度が大きいことはビアエッチングを複雑なものとし、また湿式エッチプロセスのみでは好ましい”シャンペングラス”形のピア側壁勾配は形成できない。その代わりに他のプロセス工程が必要になり、デバイス製造に付随する出費、複雑度、および時間の増大につながる。

#### 【0008】

【課題を解決するための手段】スパッタ金属の相互接続を有するピアおよび相互接続のような、サブミクロン寸法のギャップに対して、水素シルセスキオキサン(HSQ)スピンオンガラス(SOG)およびコンフォーマルなプラズマ促進テトラエチルオキシシラン(PETEOS)を用いて金属間誘電体(ILD)平坦化を実行するためのプロセスが提供される。本発明は、特定用途向け集積回路はもちろん、デジタル信号プロセッサ、メモリデバイス、論理回路の製造に関するプロセスや、その他最低でも二重の金属層を使用するサブミクロンCMOSおよびBiCMOSプロセスに採用するのに特に適している。これまでピアあるいは同等構造等のレベル間接続を形成する場合に発生していたピアポイズニング現象は、レベル間接続後のプロセスあるいはピアエッチクレンジングプロセスを修正して、水分子、イソプロピルアルコールのような有機クレンジング溶剤、およびレベル間接続チャンネル中のHSQ残留物間に形成される複合物を完全に除去することで減らすことができた。

#### 【0009】

【発明の実施の形態】以下に述べるプロセス工程および構造が集積回路を製造するための完全なプロセスフローを構成するものではないことを理解されたい。本発明は、従来技術で現在用いられている集積回路製造技術と一緒に実行されることができ、一般に実行されているプロセス工程のうちで本発明を理解するために必要なものだけをここに含めてある。本明細書に含まれ、製造工程中の集積回路の断面を示す図面は正しいスケールで描かれておらず、本発明の関連特徴を例示するように描かれている。

【0010】まず図1Aないし図1Gを参照すると、ダ

イナミックランダムアクセスメモリ”DRAM”デバイスのような集積回路デバイスのための相互接続パターンを覆って、平坦化された誘電体層を提供するための従来技術の手順のプロセスフロー図が示されている。最初に、タングステンのような相互接続金属の堆積によって基板1の上に相互接続パターン3が形成され、それに続いて図1Aに示されたようにパターニングとエッチングが行われる。次に、7,000ÅのTEOS酸化物の層5が露出表面を覆って堆積され、図1Bに示されたように、相互接続パターンの部分間の領域にある窪みあるいは谷7が残される。次に、6,200Åないし6,400Åの有機SOG層8が図1Bの構造を覆って堆積され、図1Cに示されたようにキュアされるか、あるいはエッチバックの後にキュアされる。図1Cの構造は次に、もしまだエッチバックされていなければ図1Dに示されたようにTEOS酸化物5が露出するまでエッチバックされて、更にその後、この構造の上に集められたすべてのポリマー9が図1Eに示されたように酸素プラズマ処理によって除去される。すべての残存ポリマーおよび汚れが次に、図1Fに示されたように水洗によって表面から除去される。この構造は次に、410℃の温度で約2分半ベーキングされ、次に図1Gに示されたように、5,000ÅのTEOS酸化物層11がその表面を覆って堆積され、平坦化された表面が提供される。

【0011】次に図2Aないし図2Iを参照すると、論理回路のための相互接続パターンを覆って、平坦化された誘電体層を提供するための従来技術のための手順のプロセスフロー図が示されている。最初に、アルミニウムのような相互接続金属の堆積によって基板21上に相互接続パターン23が形成され、その後、図2Aに示されたようにパターニングおよびエッチングが行われる。アルミニウムは被覆相互接続層と短絡回路を生ずる可能性のあるヒロック(hillocks)を形成し得るので、DRAMの例よりも厚い誘電体層を設ける必要がある。従って、この露出表面を覆って3,000ÅのプラズマTEOS酸化物層25が堆積され、図2Bに示されたように、相互接続パターンの部分間の領域にある窪みあるいは谷27が残される。これに続いて、窒素プラズマ処理が施され、その後、図2Cに示されたように、3,000ÅのオゾンTEOS酸化物層29、そして図2Dに示されたように、4,000ÅのプラズマTEOS酸化物層31が形成される。この後の手順は、図1Cないし図1Gに関してDRAMについて上で説明したのと同じであり、それらはそれぞれ図2Eないし図2Iに対応している。

【0012】三重層の金属プロセスに関連する本発明の詳細が図3Aないし図7Cに示されている。特に図3Aを参照すると、構築中の半導体デバイスの部分50が図示されている。構築のこの段階において、部分50はシリコン基板52を含み、それは誘電体層54の下側にな

っている。誘電体層54は、～7, 500 Åのプラズマ促進テトラエチルオキシシラン (PETEOS) の下層にある～6, 200 Åの下層熱酸化物の3層サンドイッチ構造を含むことができる。熱酸化物とPETEOSとの間に挟まれて～300 Åのシラン酸化物層が設けられて、打ち込みのチャンネリング効果を減らようになっており、この結果、合計の誘電体層厚は約14, 100 Åとなっている。別の、ホウ素リンシリケートガラス (BPSG) 層56の形の誘電体層が堆積され、従来のように、ワトキンス・ジョンソン (Watkins-Johnson) 反応炉の中でN<sub>2</sub>で処理されて緻密化される。BPSGの組成は次のようなものでよい、例えば、ホウ素が2.4-3.2重量%、リンが5.9-6.2重量%、そして残りがシリコンである。その他のBPSG組成を本発明で使用することもできる。HSQ層66は、好ましくはシリコンウエハが約500 RPMの速度で回転している最中に、約5, 700 Åの厚さにまで取り付けられる。この層66は、より高速、例えば2, 500 RPMで回転させることによってずっと薄くすることもできる。

【0013】”金属-1”と名付けた金属スタック58がBPSG層を覆ってその場に堆積される。本発明の好適な態様においては、金属-1スタックは3層のスパッタ金属の垂直アレイ、例えば、下層はBPSG層56に隣接して堆積された500 Åのチタン層、それを覆って3, 000 ÅのTi (10%) - Wの厚い層、そして最上層には～4, 600 ÅのAl-Si (1%) - Cu (0.5%) の層を含む。このように、金属-1スタックの合計の厚さは約8, 100 Åとなる。スタック堆積に続いて、それは従来のフォトリソグラフィ技術によってパターニングされ、そしてエッチされる。エッチングによって、図面には凹み60として示されたように、金属の”オーバーエッチ”に付随して約2, 000 ÅのBPSG層56が除去される。このオーバーエッチは～10, 000 Åを越える等価的金属スタック高さを生み出し、これを以下で詳細に説明するように、後続のプロセス工程において誘電体と一緒に平坦化される。複数の金属スタックのうちの、58aと名付けられた1つを貫通し、BPSG層56および誘電体層54を貫通してコンタクト62が延びている。コンタクト62の内面64は、図面に示されたように、3層金属スタック58からの金属によってライニングされている。コンタクトの上面66は末辺がりの平面と一緒に構築され、以下で述べるようにコンタクト充填を容易にするために好ましい”シャペンングラス”あるいは”マティーニングラス”の輪郭を構成する。コンタクト62は適した多様なプロセスのうちの任意のものによって形成でき、それらのうちには、最初、湿式エッチを施し、続いてドライエッチを施し、そして最後に電力を抑えたソフトなエッチを施すものが含まれる。

【0014】図3Bに示されたように、この構造50を覆って1, 000 Åのコンフォーマルなプラズマ促進TEOS酸化物層64が堆積される。その後、約5, 700 Åの水素シルセスキオキサン (HSQ) 層66がスパインオンされ、ベークされる。HSQの厚さとしては、標準的な処理条件のもとで裸のシリコンウエハの上へ材料がスパインオンされた時に得られるHSQの厚さを指定することを理解されたい。パターン化されたウエハ上のHSQの厚さは局所的なウエハトポグラフィの関数であることを理解されたい。例えば、この厚さは間隔が接近した金属ライン間では上述の基準となる5, 700 Åよりも厚くなるし、また開けた領域ではそれに応じて薄くなる。全体的な効果は、高度なトポグラフィ平滑化と短距離の平坦化であり、狭い孤立したリード上には非常に少ないHSQが残され、一方、幅広いリード上あるいは近接した間隔の狭いリード上の厚さは上述の基準となる厚さのかなり大きな割合になることが期待できる。

【0015】このHSQ膜66は大気圧炉中で、窒素雰囲気中で約400℃でキュアされる。熱処理に続いて、デバイス50を搭載するウエハは、PETEOS CVDチェンバー (図示されていない) 中へ挿入され、後続の層堆積の前にこのウエハは窒素雰囲気中で約380℃、約8 Torrで、約60秒間ベークされる。窒素による熱処理の後、～6, 500 ÅのPETEOS層68が堆積される。PETEOS堆積が有利なのは、それがコンフォーマルであり、比較的低温 (<400℃) で堆積できるので、関連する金属スタック中での細粒の形成が最小化されるという点である。

【0016】図4Aおよび図4Bを参照すると、ウエハ50は従来のフォトリソグラフィ技術を用いてパターニングされ、少なくともビアの場所および、金属-1スタック58と後で設けられる金属-2スタックとの間でオーミックなコンタクトを形成すべき場所のいずれかが定義される。このパターニングは図4Aにシャドーボックス70で示されている。図3Aおよび図3Bに現れるコンタクト62は図4Aおよび以降の図面では簡略化と分かりやすさの目的で省略した。

【0017】フォトレジストのパターニングに続いて、ウエハ50はベークされ、フォトレジストが硬化される。その後、フォトレジスト70は、6.5%のHFと35%のNH<sub>4</sub>Fをオリンハント (Olin Hunt) 表面活性剤およびCOEをDHSとともに含む、酸化物エッチ用の緩衝水溶液中でエッチされる。このエッチングの結果、上側のPETEOS層68の約3, 000ないし5, 000 Åが除去される等方的なエッチ分布が得られる。HSQはHF水溶液中でウエハから急激に除去されるので、すべてのPETEOS層68がエッチングによって消失してしまつて下層のHSQ層66を浸食することがないように、処理条件が制御される。PETEOS層68を貫通し、HSQ層66中へエッチングが

進行することは、後続の金属スパッタリングの間にビアの適正な金属カバレッジを阻害することを理解されよう。ここで述べたようにPETEOS層68をエッチングすることによって、パターン化されたフォトレジスト70の下側にまで部分的に広がる井戸72が形成される。

【0018】井戸72の形成に続いて、ウエハ50は次にプラズマ反応炉中で $CF_4$ 、 $CHF_3$ 、化学反応を利用してエッチされ、ビア72中に残っていた酸化物が除去される。プラズマ反応炉でのエッチングの結果、本質的にまっすぐな側壁74と、開口端に好ましい”マティニー”あるいは”シャンペン”ガラスの形状を有するビアが形成される。ビアエッチの後のビア底部の開口部は約 $1.1\mu m$ である。上述のプラズマ反応炉でのエッチはまた、図4Cにリード58bとして示したような関連する金属リードの上面78を覆う誘電体層(PETEOS68およびHSQ66)の約 $0.85\mu m$ ( $8,500\text{\AA}$ )をもエッチする。上述のようなビアエッチングによって、約0.77のアスペクト比を有するビアが得られる。

【0019】上述のようにしてビア72を形成した後、従来のやり方、例えば溶媒クリーン/リンス、プラズマアッシング、溶媒/クリーンリンスおよびプラズマアッシングによってフォトレジスト70が除去され、図5Aに示されたような構造が得られる。これは本質的にフォトレジストを含んでいない。最後のアッシング工程は、ビア側壁中にHSQによって吸着されたすべての溶媒を除去するのに部分的に有効であることが見出された。各溶媒工程は、アシュランド(Ashland)ACT-CMI DMACクリーン中でのクレンジングと、それに続くIPAリンス/蒸気乾燥を提供する。各アッシングはバレル形のアッシャー中で酸素プラズマ雰囲気で行われる。

【0020】図5Bを参照すると、”金属-2”と名付けられた第2の金属スタック80の取り付けが示されている。金属-2スタック80の取り付けに先だって、ウエハは、ビア72の下面からすべての残留物およびアルミニウムを除去するためにアルゴンのスパッタを施される。このアルゴンスパッタエッチは $\sim 180\text{\AA} \pm 20\text{\AA}$ のシラン( $SiH_4$ )酸化物を除去するためのものである。更に、ウエハは低圧のベーキングを施される。金属-2層80はウエハ上へスパッタされた $\sim 2,000\text{\AA}$ のTi(10重量%) - Wと $\sim 4,600\text{\AA}$ のAl-Si(1重量%) - Cu(0.5重量%)との組み合わせを含む。図面に示されたように、このスパッタプロセスは金属で以てビア72を部分的に充填し、金属-1層58から金属-2層80への導電性経路を生成する。しかし、ビア72中にボイドやキャビティが残存し、それが後述のように酸化物によって充填される。金属-2層80の全体としての金属スタックの高さは、その最も高い

地点で約 $6,600\text{\AA}$ である。

【0021】一旦、金属-2スタック80が取り付けられれば、ウエハはフォトリソグラフィを通して処理される(図5C)、金属-2スタック80のためのパターンが定義される。このパターンニングは図5Cにシャドーボックスで示されている。図6Aに示されたように、金属-2スタック80のエッチングはPETEOS酸化物の約 $2,000\text{\AA}$ を除去してしまえることができるが、他方、それによって平坦化を必要とする等価的なステップ高さを約 $8,000\text{\AA}$ とする。次に、従来のやり方でフォトレジスト82が除去され、金属-2スタック80を覆って、またPETEOS誘電体層68の露出部分を覆って、 $1,000\text{\AA}$ のPETEOS層84が取り付けられる。約 $5,700\text{\AA}$ のHSQ層86がこの $1,000\text{\AA}$ の誘電体層84を覆って取り付けられる。更に、別の、約 $6,500\text{\AA}$ のPETEOS層88が図3Bに関して既に説明したようなやり方でHSQ層86を覆って堆積される。この $1,000\text{\AA}$ のPETEOS層84はビア72中に堆積し、HSQ86と一緒にボイドの残りを充填する。

【0022】誘電体層84-88の取り付けに続いて、回路50は以下に説明するように第2のビア層の形成に付随してフォトレジストで以てパターンニングされる。図6Cを参照すると、パターン化されたフォトレジスト90はパイクされ、次に図4Bに関して既に説明したようなやり方でエッチされる。このようなやり方でエッチすることによって、参照符号94で示したように、好ましい”マティニー”あるいは”シャンペン”ガラスを開口端に有する第2のビア92が形成される。次に、ウエハはプラズマ反応炉中でエッチされ、ビアエッチプロセスが完了する(図7A)。これにより、ビア92はPETEOS層88、HSQ層86、および下層のPETEOS層84を完全に通り抜けて延び、金属-2スタック80の上面96にまで達する。

【0023】図7Bを参照すると、金属-3スタック100の構築が図示されている。金属-3スタック100は、以前に金属-2スタック80に関して説明したのと同じようにして堆積される。金属-3スタック100は、 $\sim 2,000\text{\AA}$ のTi(10重量%) - Wおよび $\sim 6,000\text{\AA}$ のAl-Si(1重量%) - Cu(0.5重量%)を含んでおり、シャドーボックス102で示されたようにフォトレジストで以てパターンニングされる。金属-3スタック100のパターンニングおよびエッチングに続いて、フォトレジスト102が除去され、パッシベーション層が堆積され、パターンニングされ、そしてエッチされて、図7Cに示された構造が得られる。

【0024】二重あるいは2層の金属プロセスの詳細が図8A-図8Cに示されている。図8Aを参照すると、図3A-図5Aに関して既述した3層処理の段階と同じような、二重あるいは2層金属処理の段階にある構築中

デバイスが図示されている。第2の金属スタック80'のスパッタリングの前に、ウエハはアルゴンスパッタエッチに曝され、また低圧でのベーキングを施されてビア72の底部からアルミニウムおよび残留物が除去される。金属-2スタック80'は、 $\sim 2,000 \text{ \AA}$ のTi (10重量%) - Wと $\sim 6,000 \text{ \AA}$ のAl-Si (1重量%) - Cu (0.5重量%)とを含む。図面に示されたように、金属-2スタック80'のためのスパッタプロセスは、ビア72を金属で部分的に充填し、金属-1スタック58と金属-2スタック80'との間の導電性経路を生成する。金属-2層80'はフォトレジスト82によってパターンニングされ、既に述べたようにエッチされ、金属のオーバーエッチと一緒に約 $2,000 \text{ \AA}$ のPETEOSが除去される(図8B)。フォトレジスト82の除去に続いて、パッシベーション用の酸化物104が堆積され、パターン化され、エッチされて、図8Cに示されたように金属-2スタックレベルにおいて平坦化された表面が得られる。

【0025】上述の平坦化プロセスの特長には優れたギャップ充填特性と局所的な平坦化が含まれる。更に、各種のプロセスを通してHSQを使用することは、HSQが優れて低い誘電率( $< 3.0$ )を有することから有利である。上述のプロセスから得られるこの進歩した平坦化によって、金属異物(stringer)によって引き起こされる欠陥が減り、その結果、現在工業界で使用されている従来のレジストエッチバック(REB)プロセスと比較して歩留まりが向上する。HSQは非炭素ベースのSOG化合物であるので、エッチバックを必要としない。従って、HSQ中にエッチされるビアは、従来のILDプロセスで経験される炭素のアウトガスから発

生する”ピアボイズニング”に汚染されることがない。

【0026】HSQ処理されたウエハの電氣的な評価によれば、HSQ SOG層間誘電体プロセスはピアボイズニングの例を示すことがある。この電氣的な異常は、ピアチェーンが最初に低電圧で測定された時に現れることが判明した。このことはピアが”開いている”か、あるいは極端に大きな抵抗を示すかのいずれかであることを示す。中程度の電圧でピアチェーンにストレスを与えることによって、そのような構造の正常値であるピア抵抗レベルをもたらすことができる。ピア抵抗レベルのこの変化は、ピア中に有機性の障壁が形成されて、それが多分、ビアの、そして回路の特性を劣化させることを示している。ピアエッチ後のクレンジングプロセスで、ビア中でHSQと接触する有機溶媒を使用しているので、全体的なクレンジングプロセスでのこの点に関する有機汚染源とその性質の両方を評価することに努力が向けられた。これらの調査によって、イソプロピルアルコール(IPA)が構造の表面との間で複合物を形成している、あるいはボンディングを形成していることが示された。IPAはその絶縁性のために電氣的故障の原因となるので、ピアライナーをスパッタする前にIPAを除去することが有利である。以下の議論は、結合したIPAをピア側壁から除去することができ、回路の信頼性を高めるための各種の方法に言及している。

【0027】24枚のウエハのロットを5つの別々のグループに分けて、以下の表1に示された特定のプロセス管理のもとで処理した。

【0028】

【表1】

ロット1 ウエハ1-5	ロット2 ウエハ6-10	ロット3 ウエハ11-15	ロット4 ウエハ16-20	ロット5 ウエハ21-24
ピアエッチ	ピアエッチ	ピアエッチ	ピアエッチ	ピアエッチ
溶媒	溶媒	溶媒	溶媒	溶媒
IPAリンス	IPAリンス	IPAリンス	IPAリンス	IPAリンス
IPA乾燥	IPA乾燥	IPA乾燥	IPA乾燥	IPA乾燥
バレル形アッシャー	バレル形アッシャー	バレル形アッシャー	バレル形アッシャー	バレル形アッシャー
溶媒	溶媒	溶媒	溶媒	溶媒
IPAリンス	IPAリンス	IPAリンス	IPAリンス	IPAリンス
IPA乾燥	IPA乾燥	IPA乾燥	IPA乾燥	IPA乾燥
バレル形アッシャー	--	--	--	--
--	--	350℃	400℃	--
225℃ガス出し; *RGAデータ	225℃ガス出し; *RGAデータ	225℃ガス出し; *RGAデータ	225℃ガス出し; *RGAデータ	70秒, 300℃ ガス出し;
金属-2堆積	金属-2堆積	金属-2堆積	金属-2堆積	金属-2堆積

\*RGAは残留ガス分析計のデータを表す。質量対電荷比および電界を用いて分離を行う。

上記のウエハはそれぞれ94カ所のテストサイトを有し、各サイトにはサイト当たり500,000個のビアを含むピアチェーンが設けられ、合計でウエハ当たり47,000,000個のビアのテストが行われた。

【0029】ウエハのクリーニングおよび炉処理に続いて、そして金属堆積の前に、ロット1-4のうちの1つのウエハについて質量分析データが集計された。データ

はアプライド・マテリアルズ(Applied Materials)のエンデュラ(Endura)モデル5500(MT109)のチェンバー(chamber)につながれたRGA(残留ガス分析計)ヘッドで集められ、その間ウエハは400℃で5分間加熱処理された。ロット1と2のウエハからはイソプロピルアルコール(IPA-質量45)が検出されたが、ロット3と4か

らはIPAは検出されなかった。ロット5からは、金属堆積前のスプリット2の同一処理のためにRGAデータは収集されなかった。ロット1-4からはウエハ上の水(質量18)も検出された。この点に関しては、この水はウエハのクリーニングおよび炉処理の後、RGAデータの収集までの待機期間中に雰囲気中の湿気から吸着されたものであろうと推定された。

【0030】ロット1および2のウエハと比べて、追加の熱処理を施されたロット3-5のウエハから収集された電気的データは、上で言及した電圧ストレスに続くピアチェーン抵抗のシフトは見られなかった。ロット1および2は両方とも、電圧ストレスに続く抵抗シフトというピアポイズニングのサインを示した。ロット1のウエハ(図9)はより大きいストレスを受けている。ピアポイズニングのサインを図9中に、“A”(〜3,060 cm<sup>-1</sup>)および“B”(〜3,400 cm<sup>-1</sup>)と記したピークとして示してある。“A”と示したサインはIPAがHSQと結合していることを示しており、また“B”と示したサインはIPAがH<sub>2</sub>Oと結合し、そのH<sub>2</sub>Oが更にHSQと結合していることを示している。

【0031】上記のポイズニングのサインは5つのロットの24枚のウエハの各々から収集されたテストデータで実証されている。図10を参照すると、各ウエハから90個のサイトテストに関して収集されたデータが、各ウエハ毎に、“個数”あるいは“不良テストサイト”の形で図示されている。このグラフに表されているように、ロット3-5を含むウエハは不良個数が大幅に減少しており、本発明の教えるところに従ったウエハ処理のメリットを実証している。RGA評価を行い、MT117中での上述の225℃でのガス出しおよび金属堆積の前に、MT109中で〜400℃で5分間処理された4枚のウエハ(第11, 16, 21, および24番)は大幅に低減化された抵抗シフトを示しており、従って不良テストサイトの数も大幅に減少している。

【0032】上記のデータは、金属堆積時にIPA吸着から生ずるピアポイズニングの発生が、金属堆積前に熱処理管理を導入することにより大幅に減らすことができることを示唆しており、例えば、熱処理によってピア側壁へHSQによって吸着されるIPA(H<sub>2</sub>Oとともに)のすべてではなくともほとんどが消失する。熱処理は少なくとも約250℃よりも高い温度で行うことが好ましく、好適な炉温度の範囲は約300℃ないし400℃である。そのような炉処理は、大気圧(〜760 Torr)でN<sub>2</sub>雰囲気中で約45分間動作する水平炉中で実行することができる。更に、金属-2および金属-3の堆積の前に、上述のAMTエンデュラ5500のようなガス出しチェンバーやその他の適当なガス出し装置中で、環境雰囲気のない減圧下(10<sup>-6</sup>-10<sup>-8</sup> Torr)でウエハを処理することが好ましい。このように企図したガス出し工程において、ウエハは、熱(典型的に

はハロゲンランプからの熱)に曝され、ウエハ温度を測るための熱電対あるいは同様な温度測定装置を用いて、ウエハ温度が約250℃あるいはそれ以上まで約80秒間かけてランプ状に上昇させられる。ランプ状の温度上昇の間の電力は例えば52%といった中程度の電力である。実際のウエハ温度およびランプ状に変化させている間の温度は、就中、熱処理中のウエハ上に存在する回路部品の温度安定性を考慮しながら、個々のウエハ処理応用に対してカスタム化することができる。例えば、或る低誘電率の誘電体は約400℃よりもずっと高い温度において構造的に不安定である。従って、そのような材料を使用する時は、金属堆積の前にピアから少なくともIPAおよびH<sub>2</sub>Oのいずれかの除去を容易にするためには、より低い温度で処理時間を長く取るのが賢明である。

【0033】本発明はそれの特定の好適実施例に関して説明してきたが、数多くの変形や修正が当業者には直ちに明らかになる。例えば、本明細書では一貫して“ピア”という用語を用いてきたが、本発明の処理管理においては、ピア以外のチャンネルや通路といった表現を使用しても構わないことを理解されたい。従って、特許請求の範囲が定義する本発明は、従来技術に照らしてそのような変形や修正をすべて包含するように可能な限り幅広く解釈されるべきである。

【0034】以上の説明に関して更に以下の項を開示する。

(1) ウエハ上の相互接続パターンを覆って、平坦な金属間誘電体層を形成する方法であって、次の工程：その上に電気的相互接続パターンを有する基板を提供すること、前記相互接続パターンを覆って第1の誘電体層を形成すること、前記第1の誘電体層を覆って、前記第1の層とは異なる、シリコンを含む第2の誘電体層を無機のシリコンを含む組成から形成すること、前記第2の誘電体層を覆って、前記第2の層とは異なる第3の誘電体層を形成すること、前記第1の誘電体層中に少なくとも1個のピアをエッチすること、前記ウエハを約350℃ないし400℃の間の温度に加熱すること、および前記第1の誘電体層を覆って、そして前記少なくとも1個のピア中へ金属を堆積すること、を含む方法。

【0035】(2) 第1項記載の方法であって、前記第1の層がプラズマで発生させたTEOS酸化物である方法。

【0036】(3) 第1項記載の方法であって、前記シリコンを含む組成がHSQである方法。

【0037】(4) 第2項記載の方法であって、前記シリコンを含む組成がHSQである方法。

【0038】(5) 第1項記載の方法であって、前記第3の層がプラズマで発生させたTEOS酸化物である方法。

【0039】(6) 第2項記載の方法であって、前記第

3の層がプラズマで発生させたTEOS酸化物である方法。

【0040】(7)第3項記載の方法であって、前記第3の層がプラズマで発生させたTEOS酸化物である方法。

【0041】(8)第4項記載の方法であって、前記第3の層がプラズマで発生させたTEOS酸化物である方法。

【0042】(9)第1項記載の方法であって、前記第2の層を形成する工程が、二酸化シリコンへ熱分解可能な無機のシリコンを含む組成を、工程(b)で得られた構造を覆って堆積させる工程、その結果の構造を本質的に純粋な窒素で本質的に湿気を含まない雰囲気へ大気圧かそれ以下の圧力において設置する工程、そして前記シリコンを含む組成を約375℃ないし約425℃の温度に約30分ないし約90分間加熱して前記シリコンを含む組成を二酸化シリコンへ変換する工程を含んでいる方法。

【0043】(10)第9項記載の方法であって、前記シリコンを含む組成がHSQである方法。

【0044】(11)第9項記載の方法であって、前記温度が約400℃で約45分間である方法。

【0045】(12)第10項記載の方法であって、前記温度が約400℃で約45分間である方法。

【0046】(13)第1項記載の方法であって、前記第3の層を形成する工程が、工程(c)で得られた構造を真空チャンバー中に設置して約3 Torrないし約1.5 Torrの圧力において約350℃ないし約430℃の温度で約30秒ないし約90秒間加熱する工程、および前記構造を覆って、約2000 Åないし約4000 Åの厚さにプラズマによって生成したTEOS酸化物の層を堆積させる工程を含んでいる方法。

【0047】(14)第13項記載の方法であって、前記温度が約390℃で約60秒間である方法。

【0048】(15)第13項記載の方法であって、前記圧力が約9 Torrである方法。

【0049】(16)第13項記載の方法であって、前記厚さが約3000 Åである方法。

【0050】(17)スパッタされた金属相互接続を有する、ビア72および相互接続58、80等のサブミクロン寸法のギャップ用の、コンフォーマルなプラズマ促進テトラエチルオキシシラン(PETEOS)68および水素シルセスキオキサン(HSQ)66スピノングラス(SOG)を用いて金属間誘電体平坦化を実現するためのプロセスが提供される。金属堆積の前に、炉中でのベーキングを採用することによってビアポイズニングが防止される。本発明は、デジタル信号プロセッサ、メモリ、論理回路、特定用途向け集積回路の製造に関連するようなサブミクロンCMOSおよびBiCMOSプロセスおよび最低でも二重の金属層を採用したその他のプ

ロセスで使用するのに特に適している。

#### 【図面の簡単な説明】

【図1】AないしGは、DRAM用の相互接続パターンを覆って、平坦化された誘電体層を提供するための従来技術の手順を示すプロセスフロー図。

【図2】AないしIは、論理回路用の相互接続パターンを覆って、平坦化された誘電体層を提供するための従来技術の手順を示すプロセスフロー図。

【図3】AおよびBは、DRAMおよび論理回路の両方の製造に使用することのできる、本発明に従う3層金属プロセスのフロー図。

【図4】AないしCは、DRAMおよび論理回路の両方の製造に使用することのできる、本発明に従う3層金属プロセスの図3に続く工程のフロー図。

【図5】AないしCは、DRAMおよび論理回路の両方の製造に使用することのできる、本発明に従う3層金属プロセスの図4に続く工程のフロー図。

【図6】AないしCは、DRAMおよび論理回路の両方の製造に使用することのできる、本発明に従う3層金属プロセスの図5に続く工程のフロー図。

【図7】AないしCは、DRAMおよび論理回路の両方の製造に使用することのできる、本発明に従う3層金属プロセスの図6に続く工程のフロー図。

【図8】AないしCは、DRAMおよび論理回路の両方の製造に使用することのできる、本発明に従う2層金属プロセスのフロー図。

【図9】ビアポイズニングのスペクトル。

【図10】従来のやり方で処理されたウエハロットを、本発明の教えるところに従って処理されたロットと比較した、不良テストサイトを示すチャート。

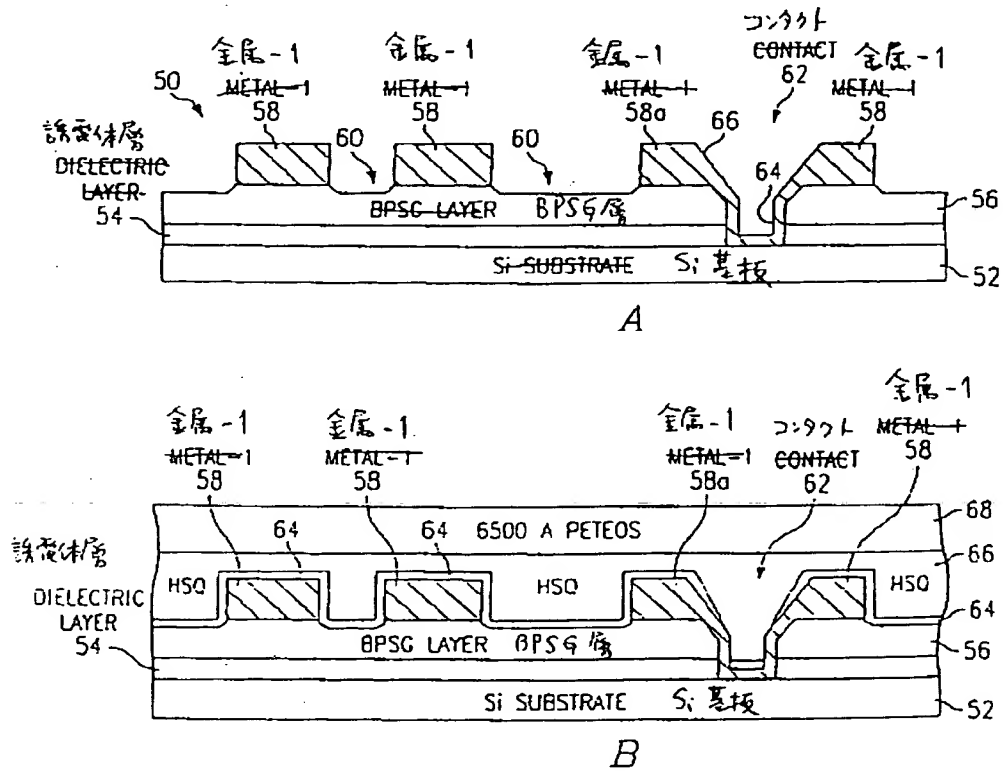
#### 【符号の説明】

- 1 基板
- 3 相互接続パターン
- 5 TEOS酸化物
- 7 谷
- 8 有機SOG
- 9 ポリマー
- 11 TEOS酸化物
- 21 基板
- 23 相互接続パターン
- 25 TEOS酸化物
- 27 谷
- 29 TEOS酸化物
- 31 TEOS酸化物
- 50 基板の一部
- 52 シリコン基板
- 54 誘電体層
- 56 BPSG層
- 58 金属-1スタック
- 60 凹み

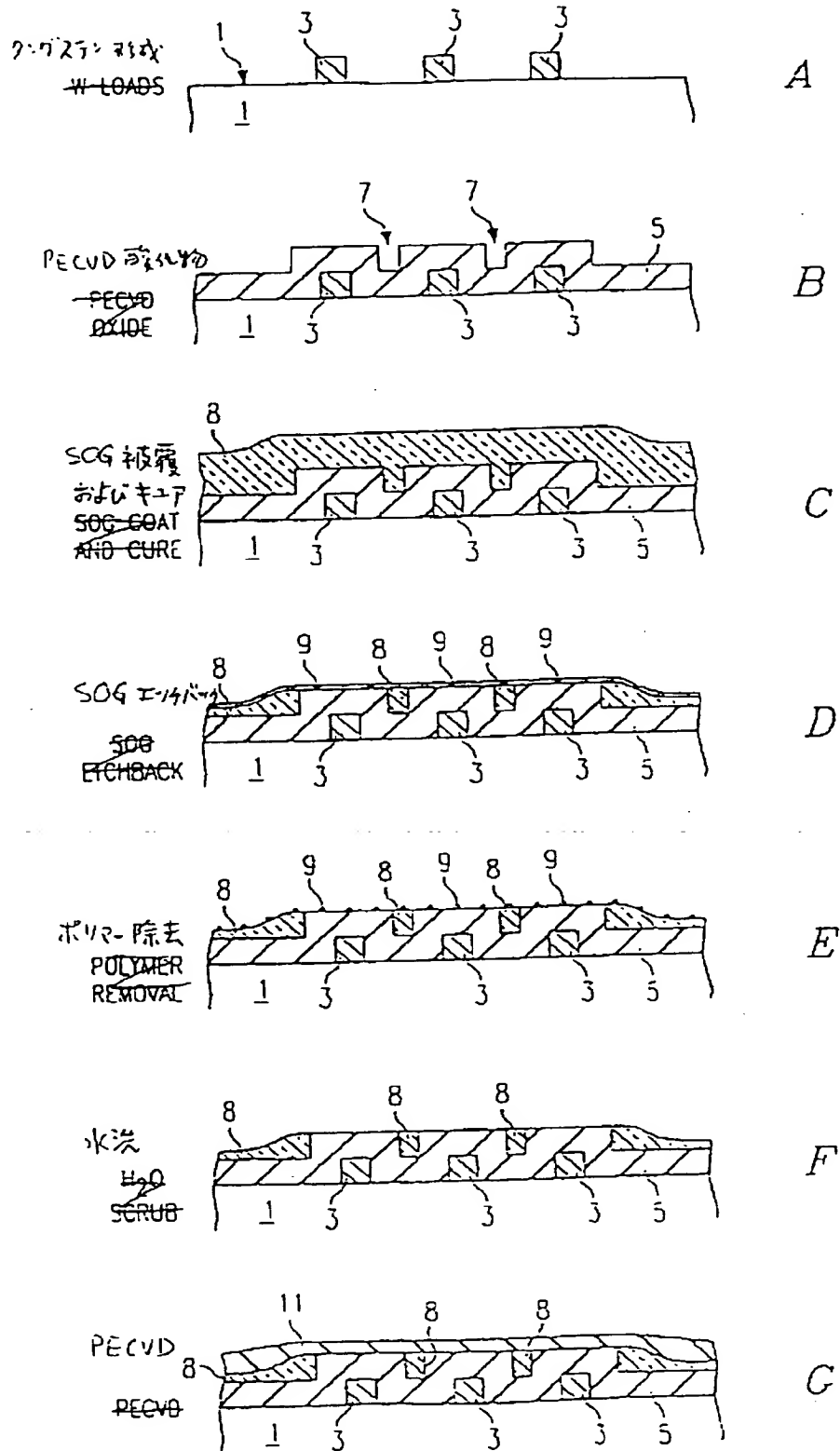
62 コンタクト  
 64 内面  
 66 上面  
 66 HSQ層  
 68 PETEOS層  
 70 フォトリソスト  
 72 ビア  
 74 側壁  
 78 上面  
 80、80' 金属-2スタック  
 82 フォトリソスト

84 PETEOS層  
 86 HSQ層  
 88 PETEOS層  
 90 フォトリソスト  
 92 ビア  
 94 端部  
 96 上面  
 100 金属-3スタック  
 102 フォトリソスト  
 10 104 パッシベーション酸化物層

【図3】

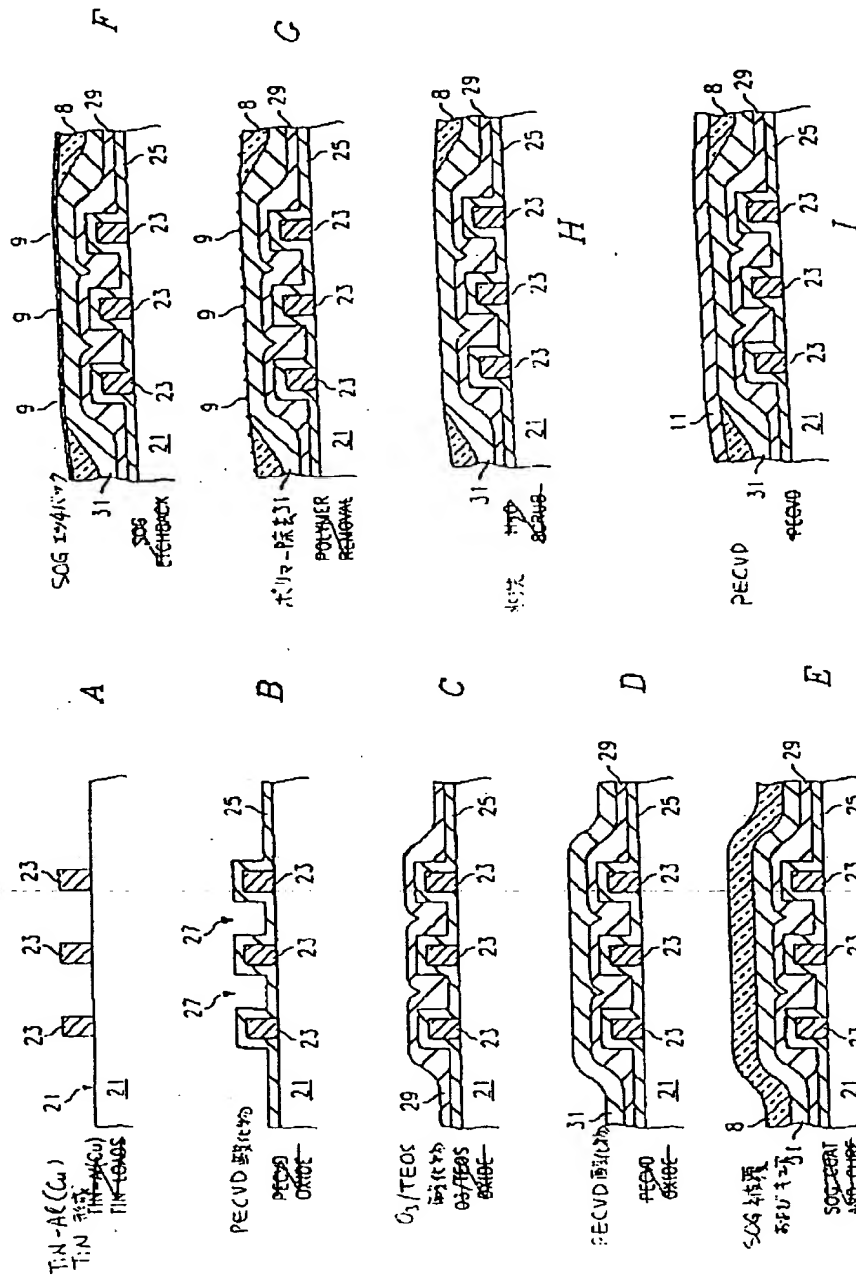


【図 1】

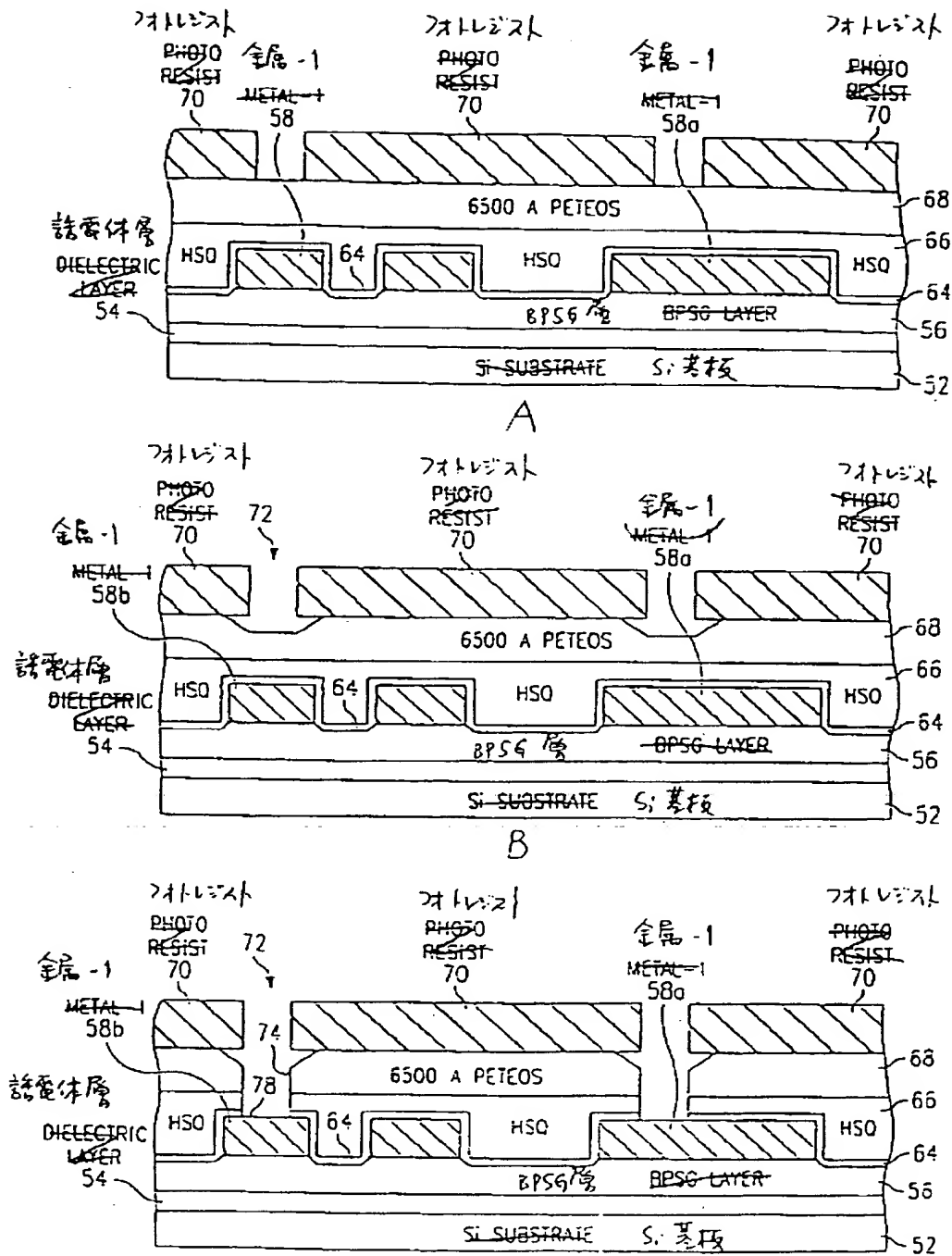




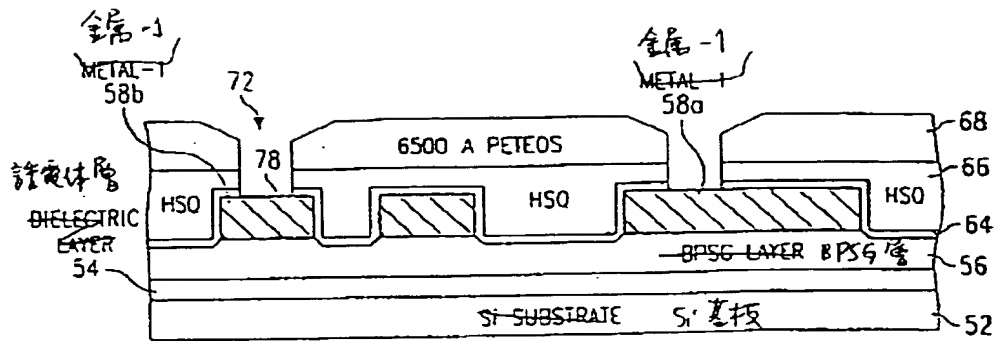
【図 2】



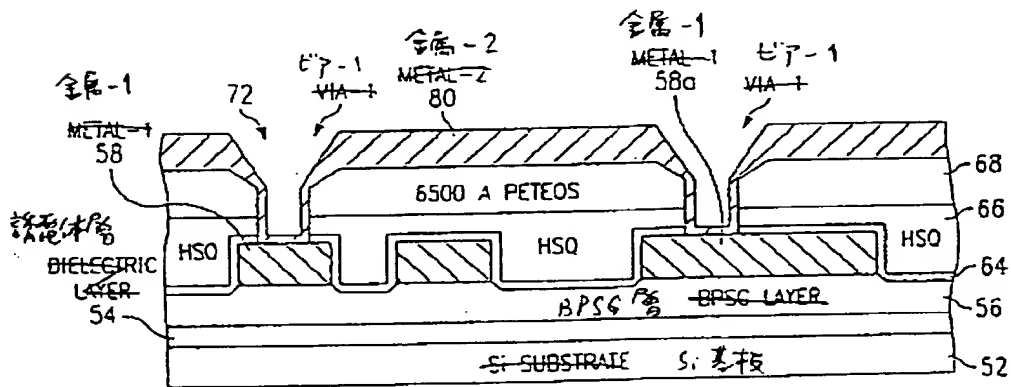
【図 4】



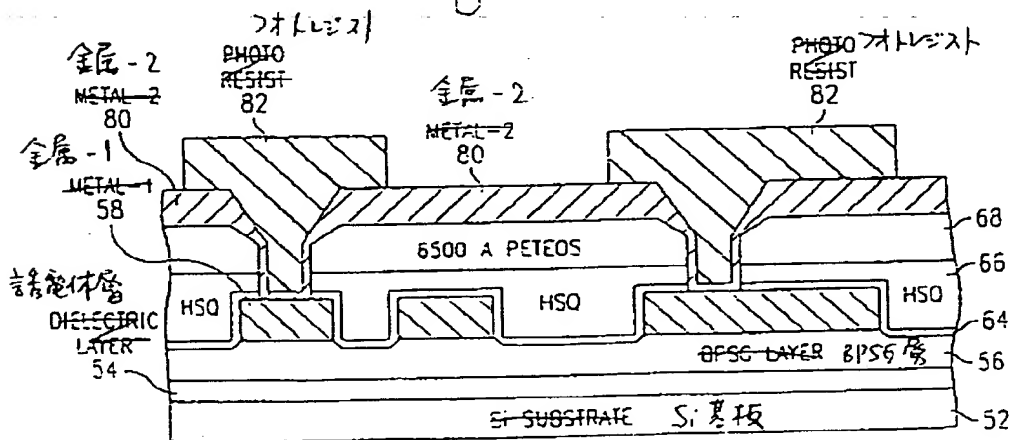
【図 5】



A

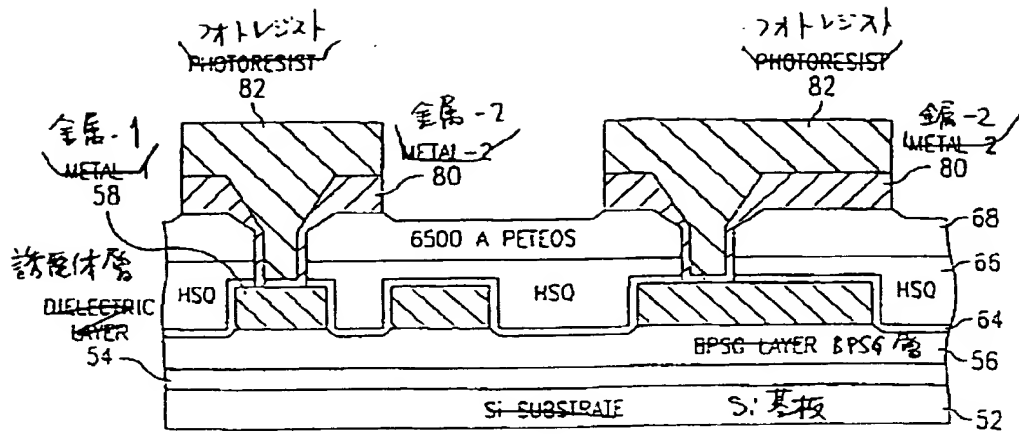


B

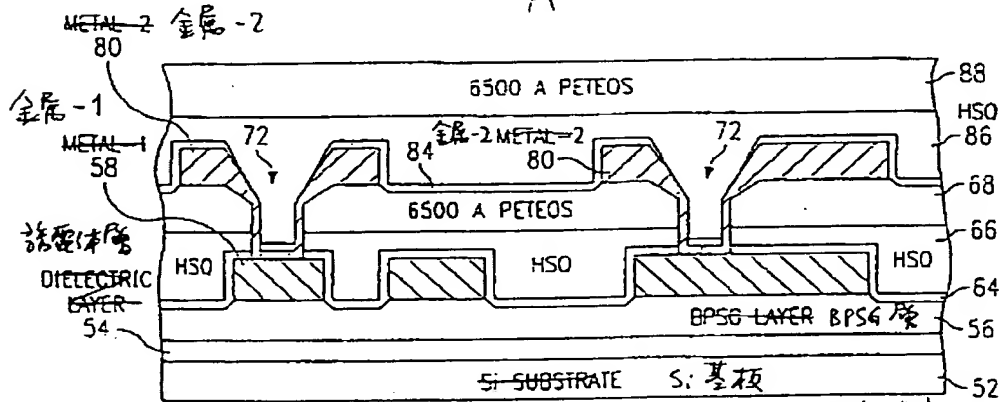


C

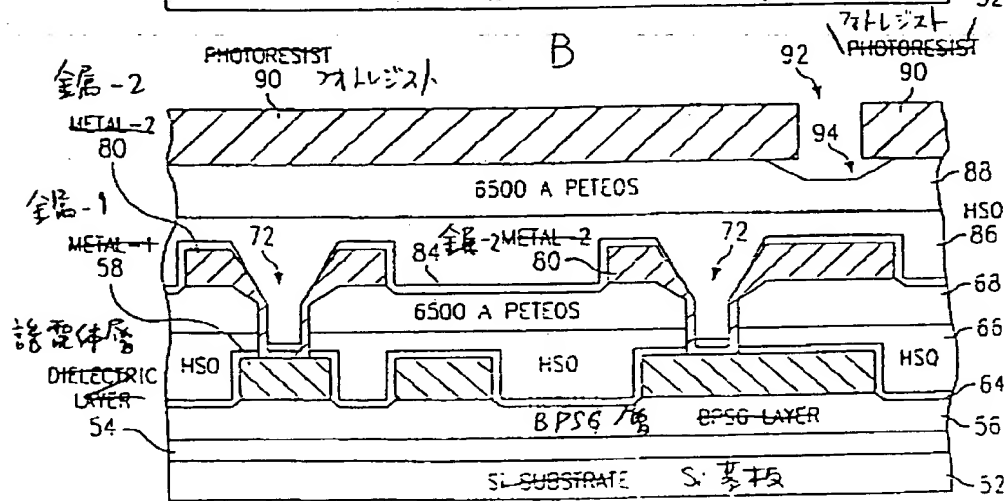
【図6】



A

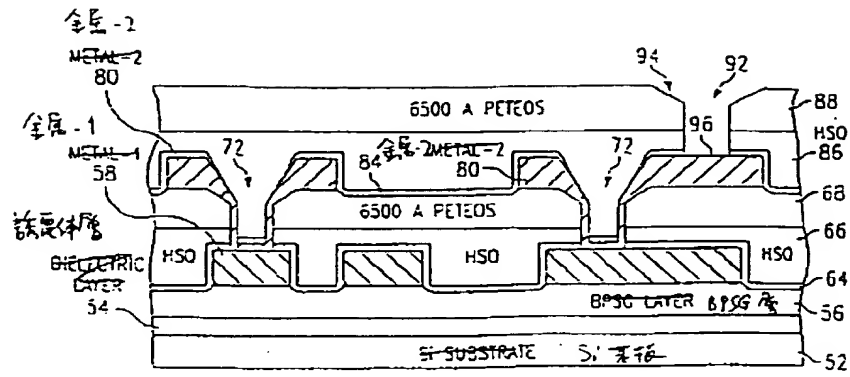


B

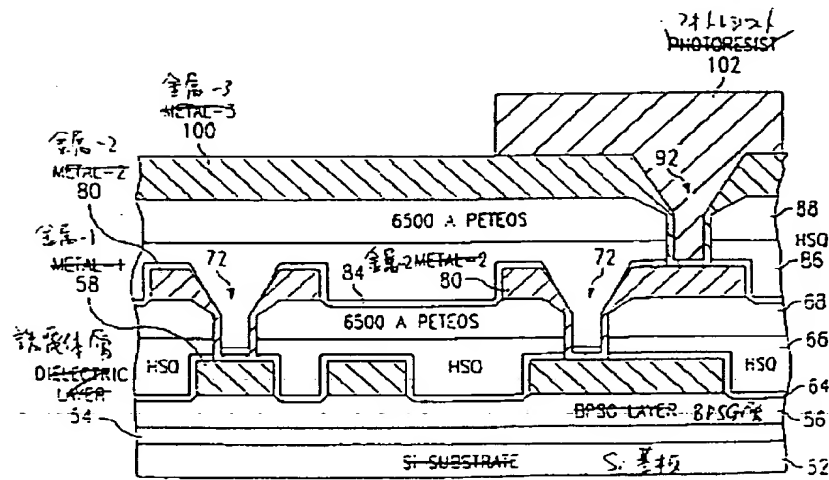


C

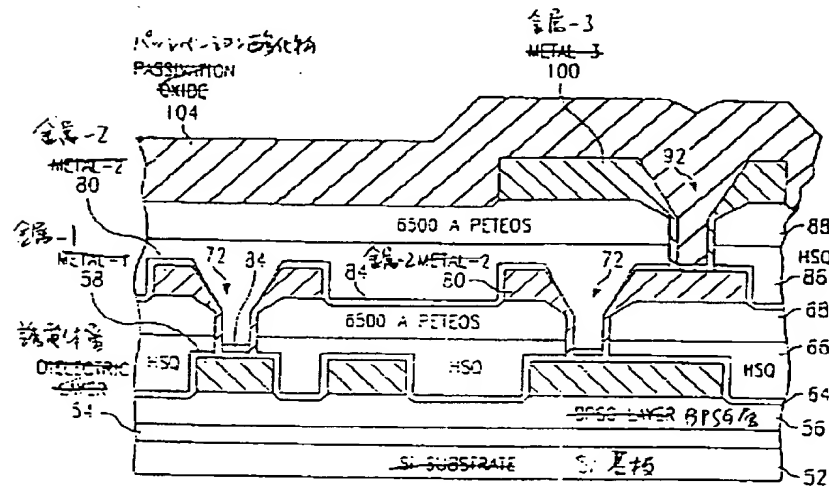
【図 7】



A

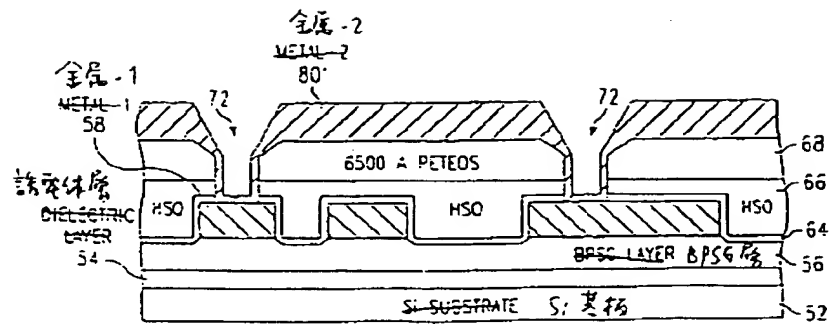


B

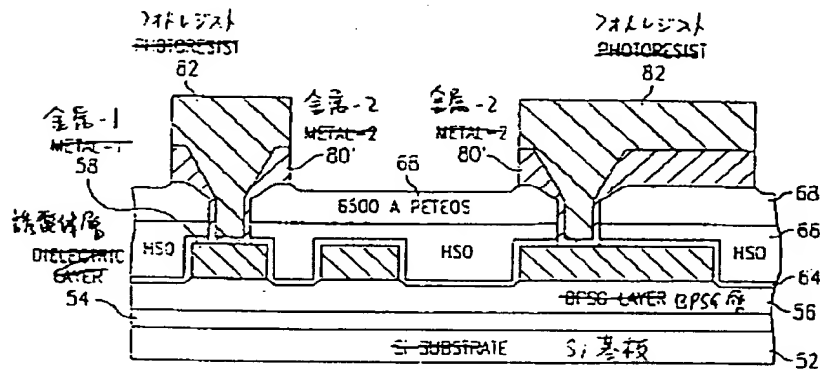


C

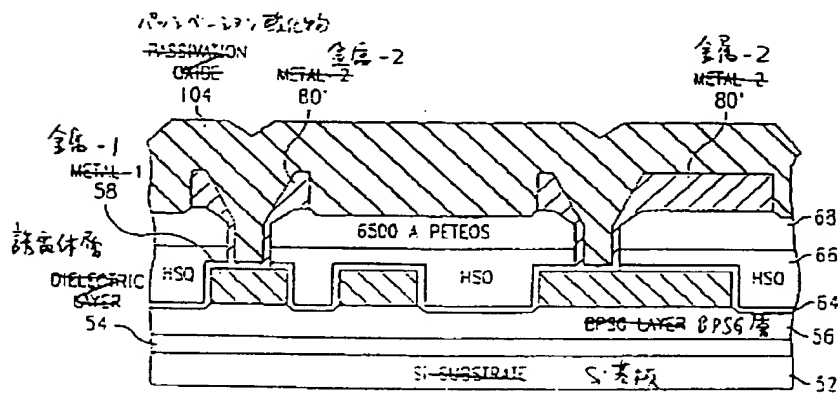
【図 8】



A

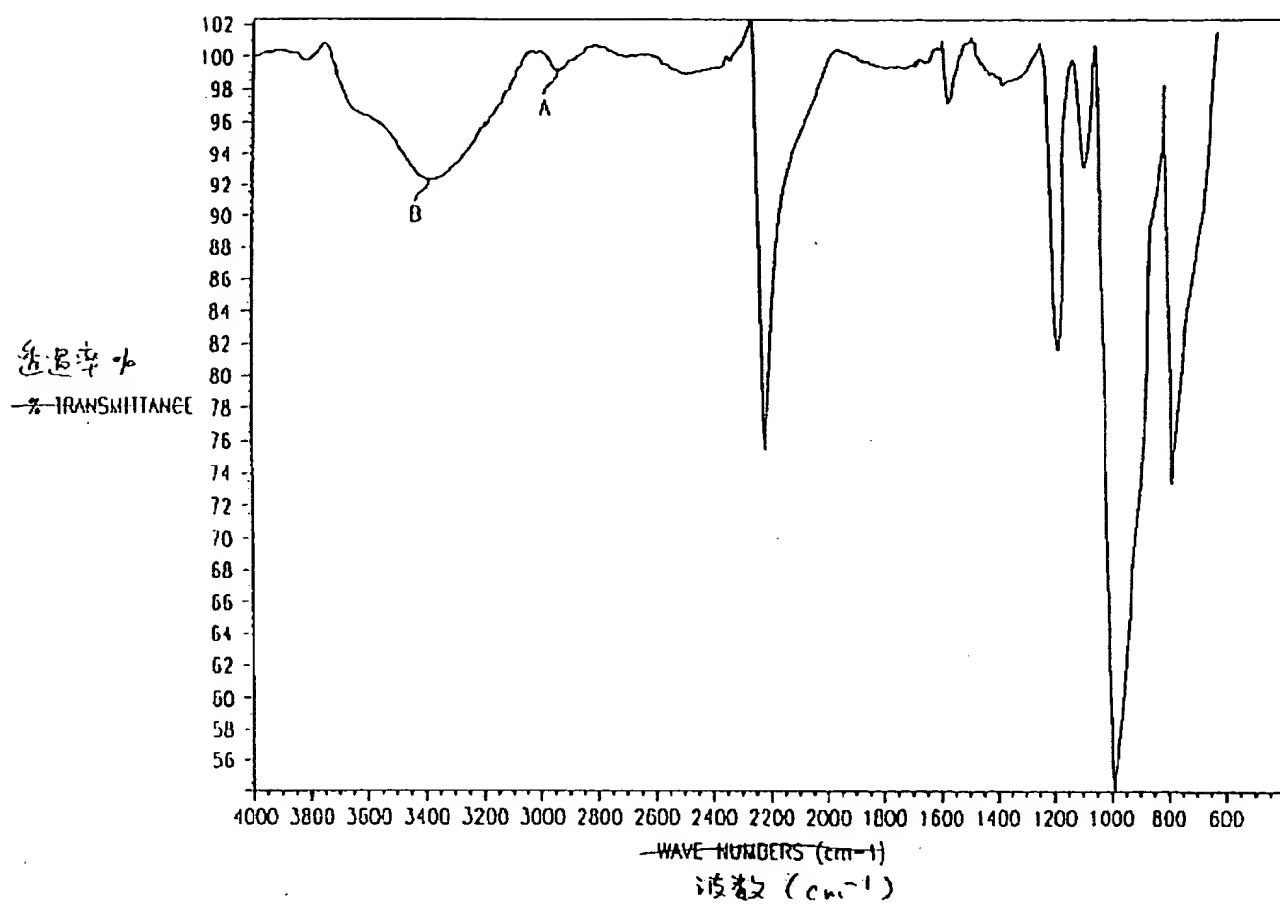


B

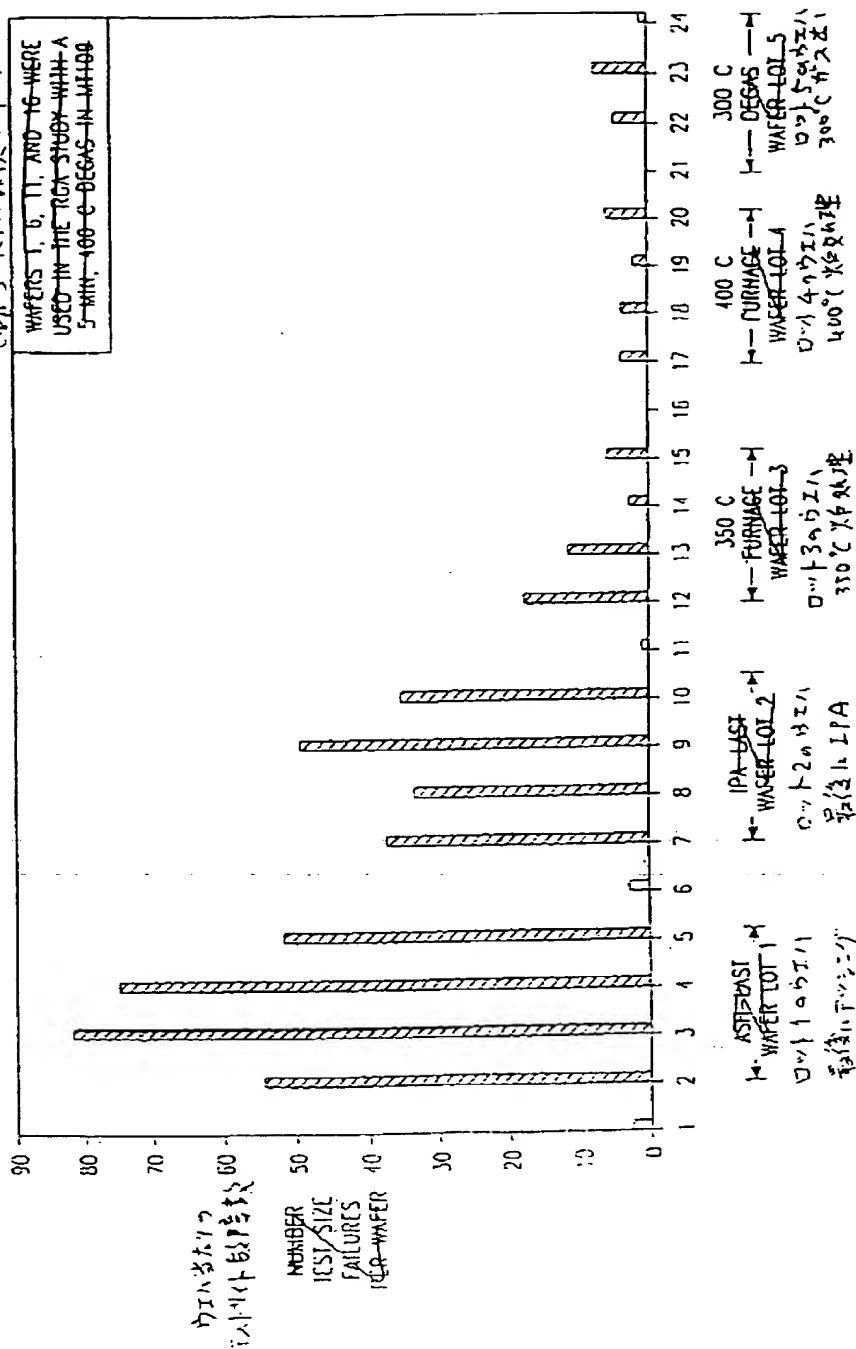


C

【図9】



1951. 6. 11, 東京 1613  
1951094で400°C 5分間のガス化して  
1.5%はRG A 別定して72



(72)発明者 パベル クロカック

アメリカ合衆国テキサス州ガーランド、ウ  
オルサム コート 5212